



AM62XXS 核心板

数 据 手 册

Rev. 2.0
2023-3-7

版本记录

版本号	修改说明	修改人	修改日期
V1.0	初始文档	Zbb	2022-7-31
V1.1	完善模块启动模式	Zbb	2022-8-9
V1.2	修正部分功能	Zbb	2022-11-17
V2.0	修正核心板的引脚功能	Zbb	2023-3-7

目 录

第 1 章 产品简介	5
1.1 CPU 性能	5
1.2 外观图	6
1.3 系统框图	6
第 2 章 硬件参数	8
2.1 核心板配置资源	8
2.2 工作环境	9
2.3 结构尺寸	10
第 3 章 引脚定义	11
3.1 管脚位置	11
3.2 管脚定义	11
第 4 章 核心板说明	24
4.1 硬件设计	24
4.1.1 DDR4 内存	24
4.1.2 Flash 存储	24
4.1.3 电源	24
4.1.4 以太网	24
4.1.5 启动引脚	24
4.2 核心板引脚默认功能	25
4.2.1 两路 LVDS	25
4.2.2 一路 RGB 接口	27

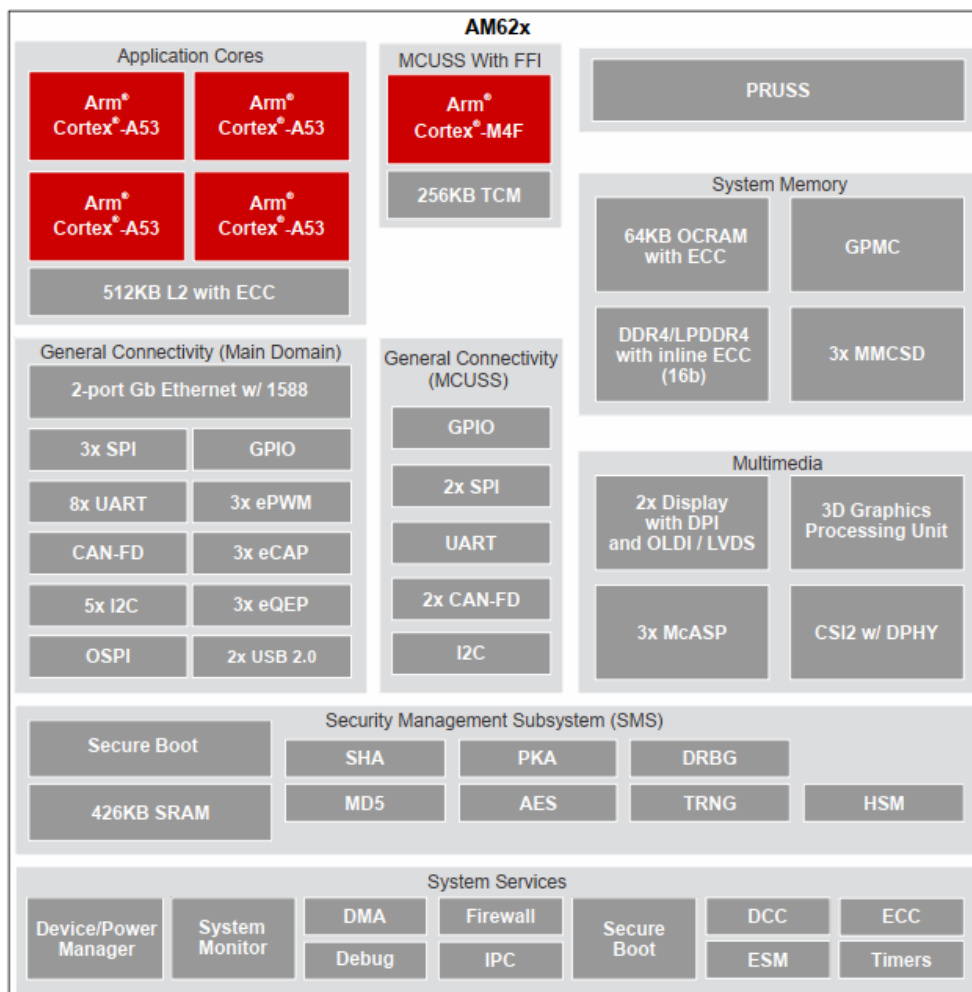
4.2.3 两路千兆以太网.....	28
第 5 章 软件参数.....	30
第 6 章 订货型号.....	31
第 7 章 声明.....	32

第1章 产品简介

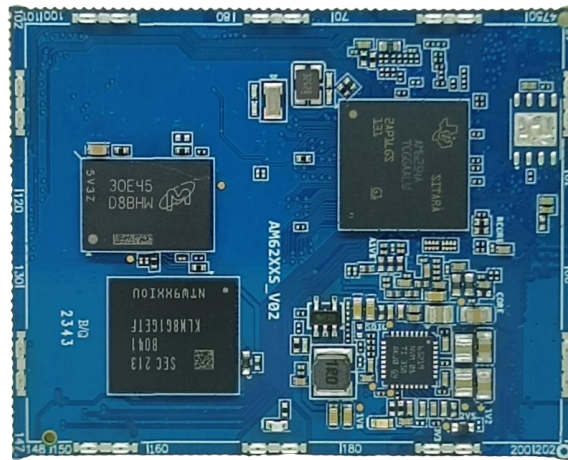
AM62XXS 核心板是我司推出的一款采用 TI AM62 系列为核心的嵌入式核心板。该系列器件基于 ARM Cortex-A53 内核，具有高性能、低功耗、多接口、低成本等特性，同时提供 3D 图形加速和关键外设的集成，可满足各种应用需要，支持主流 DDR4 内存，同时提供双路千兆以太网，多路串口来满足工业产品的需求。

1.1 CPU性能

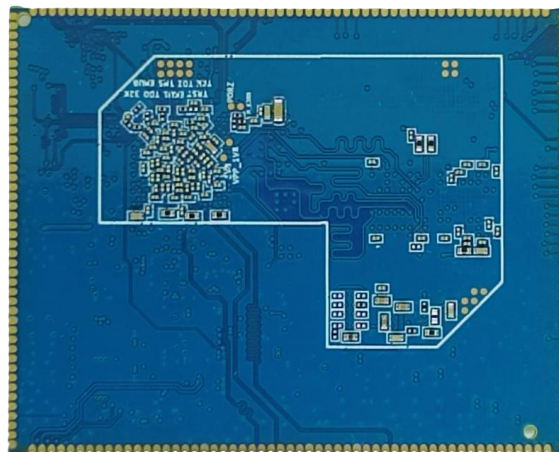
TI AM62XXS 系列处理器是 TI 推出的通用处理器，集成 Cortex-M4F 实时硬核，支持 2 路千兆网、9 路 UART 口、3 路 CAN-FD、高清显示接口、摄像头接口、3D、H.264 视频硬件编解码、USB 接口、多路串口、PWM、ADC，是当前市场上接口最全面的 MPU 之一，而且长达 10 年+生命周期让您选择之后没有后顾之忧。



1.2 外观图



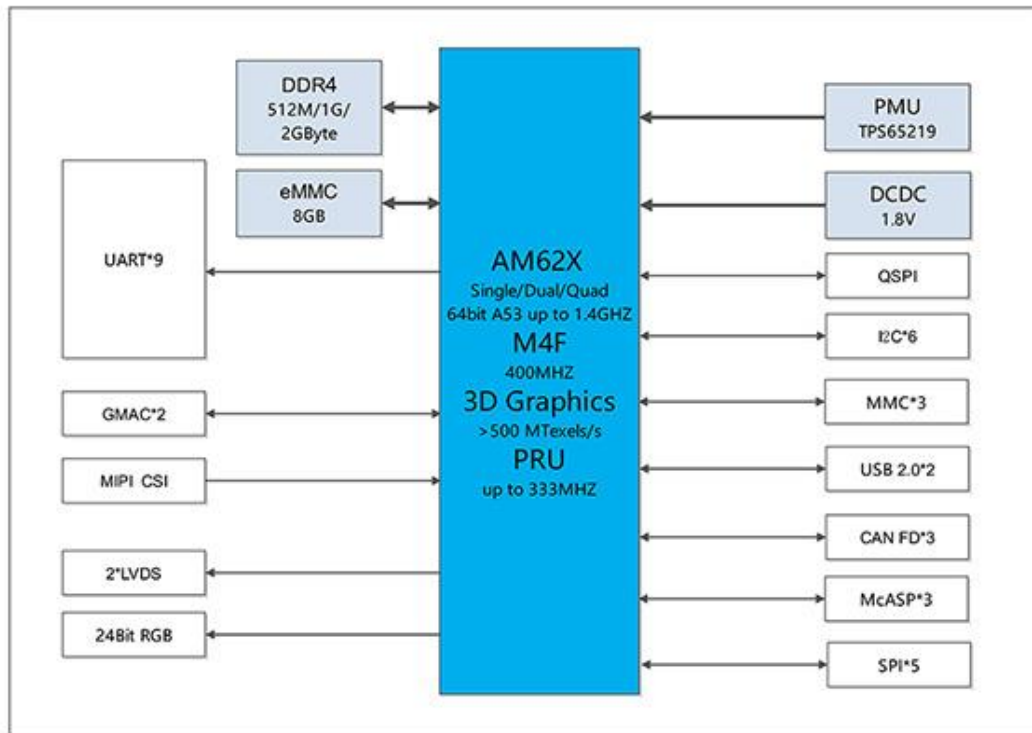
核心板正面图



核心板背面图

1.3 系统框图

核心板系统框图如下：



第2章 硬件参数

2.1 核心板配置资源

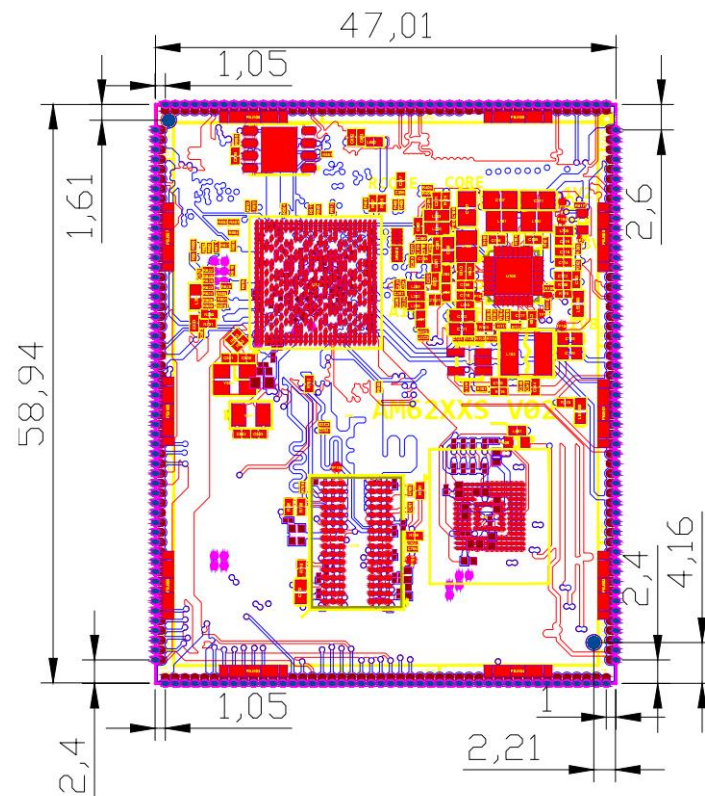
项目	内容
CPU	TI AM6254
架构	ARMv8 Cortex-A53
主频	1.4GHZ
内存	512MB/1GB/2GB DDR4（默认 512MB）
Flash	4GB/8GB/16GB/32GB eMMC Flash（默认 8GB）
工作温度	工业级范围：-40℃~+85℃
相对湿度	10%~90%（不结露）
工作电压	5V 电压供电
2D/3D	支持
图形处理器	AXE1-16M 500MHZ
操作系统	Linux 5.10
RGB 显示接口	1 路 24bit RGB 接口
LVDS 显示接口	2 路 4-lane LVDS 显示串行接口（8 data,2clocks），每 lane 最高支持 1.19 Gbps
Audio	3 路多通道音频串行端口 (McASP)
I2C	6 路 I2C，支持 100KHz 和 400KHz 两种模式
SPI	5 路 SPI，其中两路属于 MCU，速度高达 50MHz
CAN	3 路，支持 CAN FD,传输速率高达 5Mbps
USB2.0	2 路，高速 USB 设备(480Mbps)，端口可配置为 USB 主机、USB 从设备或 USB 双重角色设备（DRD 模式）

SD/MMC/SDIO	3 路，符合 eMMC 5.1、SD 3.0 和 SDIO 版本 3.0。 注意核心板使用了 MMC0 连接 eMMC，所以 MMC0 没有引出来。
Ethernet	2 路千兆网口，支持 10/100/1000Mbps
CSI	1 路 MIPI CSI 接口，支持 1/2/3/4 数据通道，每线最高支持 2.5Gbps
UART	9 路 UART，支持 RS485 外部收发器自动流量控制，支持奇偶校验，波特率高达 3.6Mbps
EINT/GPIO	多于 20 路
PWM 定时器	3 路增强型 ePWM，每组 PWM 支持两个 PWM 输出 A 和 B

2.2 工作环境

序列	环境	最小值	典型值	最大值
1	供电	4.5V	5V	5.5V
2	工作功耗	/	/	800mA
3	工作温度（工业级）	-40°C	/	+85°C
4	工作温度（扩展级）	-20°C	/	+70°C
5	湿度范围（无凝露）	10%RH	/	90%RH

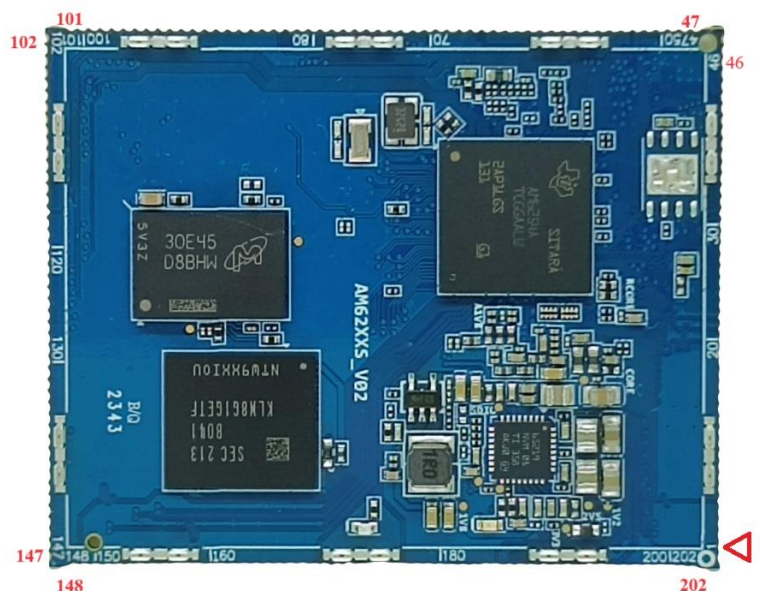
2.3 结构尺寸



项目	内容
核心板尺寸	58.94mm*47.01mm*2.85mm
接口方式	1.0mm 间距邮票孔（202pin）

第3章 引脚定义

3.1 管脚位置



3.2 管脚定义

引脚号	引脚符号	引脚全部功能或者介绍	MPU 脚
A1	DGND	系统地	—
A2	CPSW_RGMII2_RD0	RGMII2_RD0/RMII2_RXD0/MCASP2_AXR2/PR0_PRU0_GP O2/PR0_PRU0_GPI2/PR0_UART0_RTSn/GPIO1_3/	AE23
A3	CPSW_RGMII2_RD1	RGMII2_RD1/RMII2_RXD1/MCASP2_AFSR/PR0_PRU0_GP O3/PR0_PRU0_GPI3/MCASP2_AXR7/GPIO1_4/	AB20
A4	CPSW_RGMII2_RD2	RGMII2_RD2/MCASP2_AXR0/PR0_PRU0_GPO4/PR0_PRU 0_GPI4/PR0_UART0_RXD/GPIO1_5/EQEP2_A/	AC21
A5	CPSW_RGMII2_RD3	RGMII2_RD3/AUDIO_EXT_REFCLK0/PR0_PRU0_GPO16/P R0_PRU0_GPI16/PR0_UART0_TXD/GPIO1_6/EQEP2_B/	AE22

A6	CPSW_RGMII2_RXC	RGMII2_RXC/RMII2_REF_CLK/MCASP2_AXR1/PR0_PRU0_GPO1/PR0_PRU0_GPI1/PR0_ECAP0_SYNC_IN/GPIO1_2/	AD23
A7	CPSW_RGMII2_RX_CTL	RGMII2_RX_CTL/RMII2_RX_ER/MCASP2_AXR3/PR0_PRU0_GPO0/PR0_PRU0_GPI0/GPIO1_1/	AD22
A8	CPSW_RGMII2_TD0	RGMII2_TD0/RMII2_TXD0/MCASP2_AXR6/PR0_PRU1_GPO2/PR0_PRU1_GPI2/GPIO0_89/	Y18
A9	CPSW_RGMII2_TD1	RGMII2_TD1/RMII2_TXD1/MCASP2_ACLKR/PR0_PRU1_GPO3/PR0_PRU1_GPI3/MCASP2_AXR8/GPIO0_90/	AA18
A10	CPSW_RGMII2_TD2	RGMII2_TD2/MCASP2_AFSX/PR0_PRU1_GPO4/PR0_PRU1_GPI4/PR0_ECAP0_IN_APWM_OUT/GPIO0_91/EQEP2_I/	AD21
A11	CPSW_RGMII2_TD3	RGMII2_TD3/MCASP2_ACLKX/PR0_PRU1_GPO16/PR0_PRU1_GPI16/PR0_ECAP0_SYNC_OUT/PR0_UART0_CTSn/GPIO1_0/EQEP2_S/	AC20
A12	CPSW_RGMII2_TXC	RGMII2_TXC/RMII2_CRS_DV/MCASP2_AXR5/PR0_PRU1_GPO1/PR0_PRU1_GPI1/GPIO0_88/	AE21
A13	CPSW_RGMII2_TX_CTL	RGMII2_TX_CTL/RMII2_TX_EN/MCASP2_AXR4/PR0_PRU1_GPO0/PR0_PRU1_GPI0/GPIO0_87/	AA19
A14	DGND	系统地	—
A15	DGND	系统地	—
A16	VCC_5V0	5V 电源输入，核心板供电输入	—
A17	VCC_5V0	5V 电源输入，核心板供电输入	—
A18	VCC_5V0	5V 电源输入，核心板供电输入	—
A19	DGND	5V 电源输入，核心板供电输入	—
A20	SoC_VOUT0_PCLK	VOUT0_PCLK/GPMC0_A19/PR0_PRU1_GPO19/PR0_PRU1_GPI19/UART2_CTSn/PR0_PRU0_GPO19/PR0_PRU0_GPI19/GPIO0_64/PR0_ECAP0_IN_APWM_OUT/	AC24
A21	SoC_VOUT0_VSYNC	VOUT0_VSYNC/GPMC0_A18/PR0_PRU1_GPO18/PR0_PRU1_GPI18/UART2_RTSn/PR0_PRU0_GPO18/PR0_PRU0_GPI18/GPIO0_63/	AC25
A22	SoC_VOUT0_HSYNC	VOUT0_HSYNC/GPMC0_A16/PR0_PRU1_GPO15/PR0_PRU1_GPI15/UART3_RTSn/PR0_PRU0_GPO6/PR0_PRU0_GPI6/	AB24

		GPIO0_61/	
A23	SoC_VOUT0_DE	VOUT0_DE/GPMC0_A17/PR0_PRU1_GPO17/PR0_PRU1_GPI17/UART3_CTSn/PR0_PRU0_GPO7/PR0_PRU0_GPI7/GPIO0_62/	Y20
A24	SoC_VOUT0_DATA0	VOUT0_DATA0/GPMC0_A0/PR0_PRU1_GPO0/PR0_PRU1_GPI0/UART2_RXD/PR0_PRU0_GPO8/PR0_PRU0_GPI8/GPIO0_45/	U22
A25	SoC_VOUT0_DATA1	VOUT0_DATA1/GPMC0_A1/PR0_PRU1_GPO1/PR0_PRU1_GPI1/UART2_TXD/PR0_PRU0_GPO9/PR0_PRU0_GPI9/GPIO0_46/	V24
A26	SoC_VOUT0_DATA2	VOUT0_DATA2/GPMC0_A2/PR0_PRU1_GPO2/PR0_PRU1_GPI2/UART3_RXD/PR0_PRU0_GPO10/PR0_PRU0_GPI10/GPIO0_47/	W25
A27	SoC_VOUT0_DATA3	VOUT0_DATA3/GPMC0_A3/PR0_PRU1_GPO3/PR0_PRU1_GPI3/UART3_TXD/PR0_PRU0_GPO11/PR0_PRU0_GPI11/GPIO0_48/	W24
A28	SoC_VOUT0_DATA4	VOUT0_DATA4/GPMC0_A4/PR0_PRU1_GPO4/PR0_PRU1_GPI4/UART4_RXD/PR0_PRU0_GPO12/PR0_PRU0_GPI12/GPIO0_49/	Y25
A29	SoC_VOUT0_DATA5	VOUT0_DATA5/GPMC0_A5/PR0_PRU1_GPO5/PR0_PRU1_GPI5/UART4_TXD/PR0_PRU0_GPO13/PR0_PRU0_GPI13/GPIO0_50/	Y24
A30	SoC_VOUT0_DATA6	VOUT0_DATA6/GPMC0_A6/PR0_PRU1_GPO6/PR0_PRU1_GPI6/UART5_RXD/PR0_PRU0_GPO14/PR0_PRU0_GPI14/GPIO0_51/	Y23
A31	SoC_VOUT0_DATA7	VOUT0_DATA7/GPMC0_A7/PR0_PRU1_GPO7/PR0_PRU1_GPI7/UART5_TXD/PR0_PRU0_GPO15/PR0_PRU0_GPI15/GPIO0_52/	AA25
A32	SoC_VOUT0_DATA8	VOUT0_DATA8/GPMC0_A8/PR0_PRU1_GPO16/PR0_PRU1_GPI16/UART6_RXD/PR0_PRU0_GPO17/PR0_PRU0_GPI17/GPIO0_53/	V21

A33	SoC_VOUT0_DATA9	VOUT0_DATA9/GPMC0_A9/PR0_PRU1_GPO8/PR0_PRU1_GPI8/UART6_TXD/PR0_PRU0_GPO16/PR0_PRU0_GPI16/GPIO0_54/	W21
A34	SoC_VOUT0_DATA10	VOUT0_DATA10/GPMC0_A10/PR0_PRU1_GPO9/PR0_PRU1_GPI9/UART6_RTSn/PR0_PRU0_GPO0/PR0_PRU0_GPI0/GPIO0_55/	V20
A35	SoC_VOUT0_DATA11	VOUT0_DATA11/GPMC0_A11/PR0_PRU1_GPO10/PR0_PRU1_GPI10/UART6_CTSn/PR0_PRU0_GPO1/PR0_PRU0_GPI1/GPIO0_56/	AA23
A36	SoC_VOUT0_DATA12	VOUT0_DATA12/GPMC0_A12/PR0_PRU1_GPO11/PR0_PRU1_GPI11/UART5_RTSn/PR0_PRU0_GPO2/PR0_PRU0_GPI2/GPIO0_57/	AB25
A37	SoC_VOUT0_DATA13	VOUT0_DATA13/GPMC0_A13/PR0_PRU1_GPO12/PR0_PRU1_GPI12/UART5_CTSn/PR0_PRU0_GPO3/PR0_PRU0_GPI3/GPIO0_58/	AA24
A38	SoC_VOUT0_DATA14	VOUT0_DATA14/GPMC0_A14/PR0_PRU1_GPO13/PR0_PRU1_GPI13/UART4_RTSn/PR0_PRU0_GPO4/PR0_PRU0_GPI4/GPIO0_59/	Y22
A39	SoC_VOUT0_DATA15	VOUT0_DATA15/GPMC0_A15/PR0_PRU1_GPO14/PR0_PRU1_GPI14/UART4_CTSn/PR0_PRU0_GPO5/PR0_PRU0_GPI5/GPIO0_60/	AA21
A40	SoC_VOUT0_DATA16	GPMC0_AD8/VOUT0_DATA16/UART2_RXD/MCASP2_AXR0/PR0_PRU1_GPO0/PR0_PRU1_GPI0/GPIO0_23/BOOTMODE08/	R24
A41	SoC_VOUT0_DATA17	GPMC0_AD9/VOUT0_DATA17/UART2_TXD/MCASP2_AXR1/PR0_PRU1_GPO1/PR0_PRU1_GPI1/GPIO0_24/BOOTMODE09/	R25
A42	SoC_VOUT0_DATA18	GPMC0_AD10/VOUT0_DATA18/UART3_RXD/MCASP2_AXR2/PR0_PRU1_GPO2/PR0_PRU1_GPI2/GPIO0_25/OBSCLK0/BOOTMODE10/	T25
A43	SoC_VOUT0_DATA19	GPMC0_AD11/VOUT0_DATA19/UART3_TXD/MCASP2_A	R21

		XR3/PR0_PRU1_GPO3/PR0_PRU1_GPI3/TRC_DATA23/GPI O0_26/BOOTMODE11/	
A44	SoC_VOUT0_DATA20	GPMC0_AD12/VOUT0_DATA20/UART4_RXD/MCASP2_A FSX/PR0_PRU0_GPO0/PR0_PRU0_GPI0/TRC_DATA22/GPI O0_27/BOOTMODE12/	T22
A45	SoC_VOUT0_DATA21	GPMC0_AD13/VOUT0_DATA21/UART4_TXD/MCASP2_A CLKX/PR0_PRU0_GPO1/PR0_PRU0_GPI1/TRC_DATA21/G PIO0_28/BOOTMODE13/	T24
A46	DGND	系统地	—
A47	SoC_VOUT0_DATA22	GPMC0_AD14/VOUT0_DATA22/UART5_RXD/MCASP2_A FSR/PR0_PRU0_GPO2/PR0_PRU0_GPI2/TRC_DATA20/GPI O0_29/UART2_CTSn/BOOTMODE14/	U25
A48	SoC_VOUT0_DATA23	GPMC0_AD15/VOUT0_DATA23/UART5_TXD/MCASP2_A CLKR/PR0_PRU0_GPO3/PR0_PRU0_GPI3/TRC_DATA19/G PIO0_30/UART2_RTSn/BOOTMODE15/	U24
A49	MCU_UART0_CTS	MCU_UART0_CTSn/MCU_TIMER_IO0/MCU_SPI1_D0/MC U_GPIO0_7/	A6
A50	MCU_UART0_RTS	MCU_UART0_RTSn/MCU_TIMER_IO1/MCU_SPI1_D1/MC U_GPIO0_8/	B6
A51	MMC1_SWDP	MMC1_SDWP/UART6_TXD/TIMER_IO7/UART3_CTSn/GPI O1_49/	C17
A52	OSPI0_LBCLK	OSPI0_LBCLKO/UART5_RTSn/GPIO0_1/	G25
A53	MMC2_D0	MMC2_DAT0/MCASP1_AXR0/GPIO0_68/	B24
A54	MMC2_D1	MMC2_DAT1/MCASP1_AXR1/GPIO0_67/	C25
A55	MMC2_D2	MMC2_DAT2/MCASP1_AXR2/UART5_TXD/GPIO0_66/	E23
A56	MMC2_D3	MMC2_DAT3/MCASP1_AXR3/UART5_RXD/GPIO0_65/	D24
A57	MMC2_CMD	MMC2_CMD/MCASP1_AFSR/MCASP1_AXR4/UART6_TX D/GPIO0_70/	C24
A58	MMC2_CLK	MMC2_CLK/MCASP1_ACLKR/MCASP1_AXR5/UART6_R XD/GPIO0_69/	D25
A59	MMC2_SDCD	MMC2_SDCD/MCASP1_ACLKX/UART4_RXD/GPIO0_71/	A23

A60	MMC2_SDWP	MMC2_SDWP/MCASP1_AFSX/UART4_TXD/GPIO0_72/	B23
A61	MMC1_D0	MMC1_DAT0/CP_GEMAC_CPTS0_HW2TSPUSH/TIMER_I O3/UART2_CTSn/ECAP2_IN_APWM_OUT/GPIO1_45/	A22
A62	MMC1_D1	MMC1_DAT1/CP_GEMAC_CPTS0_HW1TSPUSH/TIMER_I O2/UART2_RTSn/ECAP1_IN_APWM_OUT/GPIO1_44/	B21
A63	MMC1_D2	MMC1_DAT2/CP_GEMAC_CPTS0_TS_SYNC/TIMER_IO1/ UART2_TXD/GPIO1_43/	C21
A64	MMC1_D3	MMC1_DAT3/CP_GEMAC_CPTS0_TS_COMP/TIMER_IO0/ UART2_RXD/GPIO1_42/	D22
A65	MMC1_CLK	MMC1_CLK/TIMER_IO4/UART3_RXD/GPIO1_46/	B22
A66	MMC1_CMD	MMC1_CMD/TIMER_IO5/UART3_TXD/GPIO1_47/	A21
A67	MMC1_SDCD	MMC1_SDCD/UART6_RXD/TIMER_IO6/UART3_RTSn/GPI O1_48/	D17
A68	DGND	系统地	—
A69	MCU_PORz	MCU_PORz	D2
A70	RESET_OUT	Reset 输出	—
A71	RESET_REQ	Reset 请求	—
A72	DGND	系统地	—
A73	EXP_SPI0_CLK	SPI0_CLK/CP_GEMAC_CPTS0_TS_SYNC/EHRPWM1_A/G PIO1_17/	A14
A74	EXP_SPI0_CS1	SPI0_CS1/CP_GEMAC_CPTS0_TS_COMP/EHRPWM0_B/E CAP0_IN_APWM_OUT/GPIO1_16/EHRPWM_TZn_IN5/	C13
A75	EXP_SPI0_D0	SPI0_D0/CP_GEMAC_CPTS0_HW1TSPUSH/EHRPWM1_B/ GPIO1_18/	B13
A76	EXP_SPI0_D1	SPI0_D1/CP_GEMAC_CPTS0_HW2TSPUSH/EHRPWM_TZn _IN0/GPIO1_19/	B14
A77	EXP_SPI0_CS0	SPI0_CS0/EHRPWM0_A/PR0_ECAP0_SYNC_IN/GPIO1_15/	A13
A78	MCASP0_AXR0	MCASP0_AXR0/PR0_ECAP0_IN_APWM_OUT/AUDIO_EX T_REFCLK0/PR0_UART0_TXD/EHRPWM1_B/GPIO1_10/E QEP0_I/	E18

A79	MCASP0_AXR1	MCASP0_AXR1/SPI2_CS2/ECAP1_IN_APWM_OUT/PR0_UART0_RXD/EHRPWM1_A/GPIO1_9/EQEP0_S/	B18
A80	MCASP0_AXR2	MCASP0_AXR2/SPI2_D1/UART1_RTSn/UART6_TXD/PR0_IEP0_EDIO_DATA_IN_OUT29/ECAP2_IN_APWM_OUT/PR0_UART0_TXD/GPIO1_8/EQEP0_B/	A19
A81	MCASP0_AXR3	MCASP0_AXR3/SPI2_D0/UART1_CTSn/UART6_RXD/PR0_IEP0_EDIO_DATA_IN_OUT28/ECAP1_IN_APWM_OUT/PR0_UART0_RXD/GPIO1_7/EQEP0_A/	B19
A82	MCASP0_ACLKX	MCASP0_ACLKX/SPI2_CS1/ECAP2_IN_APWM_OUT/GPIO1_11/EQEP1_A/	B20
A83	MCASP0_ACLKR	MCASP0_ACLKR/SPI2_CLK/UART1_TXD/EHRPWM0_B/GPIO1_14/EQEP1_I/	A20
A84	MCASP0_AFSX	MCASP0_AFSX/SPI2_CS3/AUDIO_EXT_REFCLK1/GPIO1_12/EQEP1_B/	D20
A85	MCASP0_AFSR	MCASP0_AFSR/SPI2_CS0/UART1_RXD/EHRPWM0_A/GPIO1_13/EQEP1_S/	E19
A86	DGND	系统地	
A87	GPMC0_CLK	GPMC0_CLK/MCASP1_AXR3/GPMC0_FCLK_MUX/PR0_PRU0_GPO8/PR0_PRU0_GPI8/TRC_DATA6/GPIO0_31/	P25
A88	PR0_PRU0_GPO0	GPMC0_AD0/PR0_PRU1_GPO8/PR0_PRU1_GPI8/MCASP2_AXR4/PR0_PRU0_GPO0/PR0_PRU0_GPI0/TRC_CLK/GPIO0_15/BOOTMODE00/	M25
A89	PR0_PRU0_GPO1	GPMC0_AD1/PR0_PRU1_GPO9/PR0_PRU1_GPI9/MCASP2_AXR5/PR0_PRU0_GPO1/PR0_PRU0_GPI1/TRC_CTL/GPIO0_16/BOOTMODE01/	N23
A90	PR0_PRU0_GPO2	GPMC0_AD2/PR0_PRU1_GPO10/PR0_PRU1_GPI10/MCASP2_AXR6/PR0_PRU0_GPO2/PR0_PRU0_GPI2/TRC_DATA0/GPIO0_17/BOOTMODE02/	N24
A91	PR0_PRU0_GPO3	GPMC0_AD3/PR0_PRU1_GPO11/PR0_PRU1_GPI11/MCASP2_AXR7/PR0_PRU0_GPO3/PR0_PRU0_GPI3/TRC_DATA1/GPIO0_18/BOOTMODE03/	N25

A92	PR0_PRU0_GPO4	GPMC0_AD4/PR0_PRU1_GPO12/PR0_PRU1_GPI12/MCASP2_AXR8/PR0_PRU0_GPO4/PR0_PRU0_GPI4/TRC_DATA2/GPIO0_19/BOOTMODE04/	P24
A93	PR0_PRU0_GPO5	GPMC0_AD5/PR0_PRU1_GPO13/PR0_PRU1_GPI13/MCASP2_AXR9/PR0_PRU0_GPO5/PR0_PRU0_GPI5/TRC_DATA3/GPIO0_20/BOOTMODE05/	P22
A94	PR0_PRU0_GPO6	GPMC0_AD6/PR0_PRU1_GPO14/PR0_PRU1_GPI14/MCASP2_AXR10/PR0_PRU0_GPO6/PR0_PRU0_GPI6/TRC_DATA4/GPIO0_21/BOOTMODE06/	P21
A95	PR0_PRU0_GPO7	GPMC0_AD7/PR0_PRU1_GPO15/PR0_PRU1_GPI15/MCASP2_AXR11/PR0_PRU0_GPO7/PR0_PRU0_GPI7/TRC_DATA5/GPIO0_22/BOOTMODE07/	R23
A96	MCU_SPI0_CLK	MCU_SPI0_CLK/MCU_GPIO0_2/	A7
A97	MCU_SPI0_D0	MCU_SPI0_D0/MCU_GPIO0_3/	D9
A98	MCU_SPI0_D1	MCU_SPI0_D1/MCU_GPIO0_4/	C9
A99	MCU_SPI0_CS0	MCU_SPI0_CS0/WKUP_TIMER_IO1/MCU_GPIO0_0/	E8
A100	MCU_SPI0_CS1	MCU_SPI0_CS1/MCU_OBSCLK0/MCU_SYSCLKOUT0/MCU_EXT_REFCLK0/MCU_TIMER_IO1/MCU_GPIO0_1/	B8
A101	EXP_GPIO1_9	EXT_REFCLK1/SYNC1_OUT/SPI2_CS3/SYSCLKOUT0/TIMER_IO4/CLKOUT0/CP_GEMAC_CPTS0_RFT_CLK/GPIO1_30/ECAP0_IN_APWM_OUT/	A18
A102	DGND		
A103	WKUP_UART0_TX_3V3	WKUP_UART0_TXD/MCU_SPI1_CS2/MCU_GPIO0_10/	C5
A104	WKUP_UART0_RX_3V3	WKUP_UART0_RXD/MCU_SPI0_CS2/MCU_GPIO0_9/	B4
A105	WKUP_UART0_CTS_3V3	WKUP_UART0_CTSn/WKUP_TIMER_IO0/MCU_SPI1_CS0/MCU_GPIO0_11/	C6
A106	WKUP_UART0_RTS_3V3	WKUP_UART0_RTSn/WKUP_TIMER_IO1/MCU_SPI1_CLK/MCU_GPIO0_12/	A4
A107	MCU_UART0_TXD	MCU_UART0_TXD/MCU_GPIO0_6/	A5
A108	MCU_UART0_RXD	MCU_UART0_RXD/MCU_GPIO0_5/	B5
A109	MCU_I2C0_SDA	MCU_I2C0_SDA/MCU_GPIO0_18/	D10

A110	MCU_I2C0_SCL	MCU_I2C0_SCL/MCU_GPIO0_17/	A8
A111	WKUP_I2C0_SDA	WKUP_I2C0_SDA/MCU_GPIO0_20/	A9
A112	WKUP_I2C0_SCL	WKUP_I2C0_SCL/MCU_GPIO0_19/	B9
A113	PMIC_ENp	电源管理使能	—
A114	VCC_5V0_EN	5V 电源输入，核心板供电输入	—
A115	CPSW_RGMII_INTn/PRU_INTn	EXTINTn/GPIO1_31/	D16
A116	SoC_I2C1_SDA	I2C1_SDA/UART1_TXD/TIMER_IO1/SPI2_CLK/EHRPWM0_SYNC0/GPIO1_29/EHRPWM2_B/MMC2_SDWP/	A17
A117	SoC_I2C1_SCL	I2C1_SCL/UART1_RXD/TIMER_IO0/SPI2_CS1/EHRPWM0_SYNC1/GPIO1_28/EHRPWM2_A/MMC2_SDCD/	B17
A118	MCU_MCAN1_TX	MCU_MCAN1_TX/MCU_TIMER_IO2/MCU_SPI1_CS1/MCU_EXT_REFCLK0/MCU_GPIO0_15/	E5
A119	MCU_MCAN1_RX	MCU_MCAN1_RX/MCU_TIMER_IO3/MCU_SPI0_CS2/MCU_SPI1_CS2/MCU_SPI1_CLK/MCU_GPIO0_16/	D4
A120	MCU_MCAN0_TX	MCU_MCAN0_TX/WKUP_TIMER_IO0/MCU_SPI0_CS3/MCU_GPIO0_13/	D6
A121	MCU_MCAN0_RX	MCU_MCAN0_RX/MCU_TIMER_IO0/MCU_SPI1_CS3/MCU_GPIO0_14/	B3
A122	SOC_UART0_TX_3V3	UART0_TXD/ECAP2_IN_APWM_OUT/SPI2_D1/EHRPWM2_B/GPIO1_21/	E14
A123	SOC_UART0_RX_3V3	UART0_RXD/ECAP1_IN_APWM_OUT/SPI2_D0/EHRPWM2_A/GPIO1_20/	D14
A124	EXP_GPIO1_23	UART0_RTSn/SPI0_CS3/I2C3_SDA/UART2_TXD/TIMER_IO7/AUDIO_EXT_REFCLK1/PR0_ECAPH_IN_APWM_OUT/GPIO1_23/MCASP2_ACLKX/MMC2_SDWP/	B15
A125	EXP_GPIO1_22	UART0_CTSn/SPI0_CS2/I2C3_SCL/UART2_RXD/TIMER_IO6/AUDIO_EXT_REFCLK0/PR0_ECAPH_SYNC_OUT/GPIO1_22/MCASP2_AFSX/MMC2_SDCD/	A15
A126	EXP_UART5_TXD	MCAN0_TX/UART5_RXD/TIMER_IO2/SYNC2_OUT/UART1_DTRn/EQEP2_I/PR0_UART0_RXD/GPIO1_24/MCASP2_A	C15

		XR0/EHRPWM_TZn_IN3/	
A127	EXP_UART5_RXD	MCAN0_RX/UART5_TXD/TIMER_IO3/SYNC3_OUT/UART1_RIn/EQEP2_S/PR0_UART0_TXD/GPIO1_25/MCASP2_AXR1/EHRPWM_TZn_IN4/	E15
A128	OSPI0_CSN3	OSPI0_CSn3/OSPI0_RESET_OUT0/OSPI0_ECC_FAIL/MCASP1_ACLKR/MCASP1_AXR3/UART5_TXD/GPIO0_14/	E24
A129	OSPI0_CSN2	OSPI0_CSn2/SPI1_CS1/OSPI0_RESET_OUT1/MCASP1_AFSR/MCASP1_AXR2/UART5_RXD/GPIO0_13/	H21
A130	SoC_OSPI_DQ7	OSPI0_D7/SPI1_D1/MCASP1_AFSX/UART6_CTSn/GPIO0_10/	J22
A131	SoC_OSPI_DQ6	OSPI0_D6/SPI1_D0/MCASP1_ACLKX/UART6_RTSn/GPIO0_9/	H25
A132	SoC_OSPI_DQ5	OSPI0_D5/SPI1_CLK/MCASP1_AXR0/UART6_TXD/GPIO0_8/	J25
A133	SoC_OSPI_DQ4	OSPI0_D4/SPI1_CS0/MCASP1_AXR1/UART6_RXD/GPIO0_7/	J23
A134	EXP_GPIO0_44	GPMC0_CSn3/I2C2_SDA/GPMC0_A20/UART4_TXD/MCASP1_AXR5/TRC_DATA18/GPIO0_44/MCASP1_ACLKR/	K24
A135	EXP_GPIO0_43	GPMC0_CSn2/I2C2_SCL/MCASP1_AXR4/UART4_RXD/PR0_PRU0_GPO19/PR0_PRU0_GPI19/TRC_DATA17/GPIO0_43/MCASP1_AFSR/	K22
A136	EXP_GPIO0_42	GPMC0_CSn1/PR0_PRU1_GPO16/PR0_PRU1_GPI16/MCASP2_AXR15/PR0_PRU0_GPO18/PR0_PRU0_GPI18/TRC_DATA16/GPIO0_42/	L21
A137	EXP_GPIO0_41	GPMC0_CSn0/MCASP2_AXR14/PR0_PRU0_GPO17/PR0_PRU0_GPI17/TRC_DATA15/GPIO0_41/	M21
A138	EXP_GPIO0_40	GPMC0_DIR/PR0_ECAP0_IN_APWM_OUT/MCASP2_AXR13/PR0_PRU0_GPO16/PR0_PRU0_GPI16/TRC_DATA14/GPIO0_40/EQEP2_S/	M22
A139	EXP_GPIO0_39	GPMC0_WPn/AUDIO_EXT_REFCLK1/GPMC0_A22/UART6_TXD/PR0_PRU0_GPO15/PR0_PRU0_GPI15/TRC_DATA13/	K25

		GPIO0_39/	
A140	EXP_GPIO0_38	GPMC0_WAIT1/VOUT0_EXTCLKIN/GPMC0_A21/UART6_RXD/GPIO0_38/EQEP2_I/	V25
A141	EXP_GPIO0_37	GPMC0_WAIT0/MCASP1_AFSX/PR0_PRU0_GPO14/PR0_PRU0_GPI14/TRC_DATA12/GPIO0_37/	U23
A142	EXP_GPIO0_36	GPMC0_BE1n/MCASP2_AXR12/PR0_PRU0_GPO13/PR0_PRU0_GPI13/TRC_DATA11/GPIO0_36/	N20
A143	EXP_GPIO0_35	GPMC0_BE0n_CLE/MCASP1_ACLKX/PR0_PRU0_GPO12/PR0_PRU0_GPI12/TRC_DATA10/GPIO0_35/	M24
A144	EXP_GPIO0_34	GPMC0_WEn/MCASP1_AXR0/PR0_PRU0_GPO11/PR0_PRU0_GPI11/TRC_DATA9/GPIO0_34/	L25
A145	EXP_GPIO0_33	GPMC0_OEn_REn/MCASP1_AXR1/PR0_PRU0_GPO10/PR0_PRU0_GPI10/TRC_DATA8/GPIO0_33/	L24
A146	EXP_GPIO0_32	GPMC0_ADVn_ALE/MCASP1_AXR2/PR0_PRU0_GPO9/PR0_PRU0_GPI9/TRC_DATA7/GPIO0_32/	L23
A147	DGND	系统地	—
A148	CH2_LVDSCLK_N	OLDI0_CLK1N	AE4
A149	CH2_LVDSCLK_P	OLDI0_CLK1P	AD5
A150	CH2_LVDSA3_N	OLDI0_A7N	AD8
A151	CH2_LVDSA3_P	OLDI0_A7P	AE7
A152	CH2_LVDSA2_N	OLDI0_A6N	AE6
A153	CH2_LVDSA2_P	OLDI0_A6P	AD7
A154	CH2_LVDSA1_N	OLDI0_A5N	AE5
A155	CH2_LVDSA1_P	OLDI0_A5P	AD6
A156	CH2_LVDSA0_N	OLDI0_A4N	AC6
A157	CH2_LVDSA0_P	OLDI0_A4P	AC5
A158	CH1_LVDSCLK_N	OLDI0_CLK0N	AD4
A159	CH1_LVDSCLK_P	OLDI0_CLK0P	AE3
A160	CH1_LVDSA3_N	OLDI0_A3N	AB6
A161	CH1_LVDSA3_P	OLDI0_A3P	AA7

A162	CH1_LVDSA2_N	OLDI0_A2N	Y8
A163	CH1_LVDSA2_P	OLDI0_A2P	AA8
A164	CH1_LVDSA1_N	OLDI0_A1N	AD3
A165	CH1_LVDSA1_P	OLDI0_A1P	AB4
A166	CH1_LVDSA0_N	OLDI0_A0N	AA5
A167	CH1_LVDSA0_P	OLDI0_A0P	Y6
A168	DGND	系统地	—
A169	SoC_USB1_P	USB1_DP	AE9
A170	SoC_USB1_N	USB1_DM	AD10
A171	SoC_USB0_P	USB0_DP	AD11
A172	SoC_USB0_N	USB0_DM	AE11
A173	DGND	系统地	—
A174	CSI0_RXCLK_N	CSI0_RXCLKN	AD15
A175	CSI0_RXCLK_P	CSI0_RXCLKP	AE15
A176	CSI0_RX3_N	CSI0_RXN3	AB12
A177	CSI0_RX3_P	CSI0_RXP3	AC13
A178	CSI0_RX2_N	CSI0_RXN2	AD13
A179	CSI0_RX2_P	CSI0_RXP2	AE13
A180	CSI0_RX1_N	CSI0_RXN1	AD14
A181	CSI0_RX1_P	CSI0_RXP1	AE14
A182	CSI0_RX0_N	CSI0_RXN0	AB14
A183	CSI0_RX0_P	CSI0_RXP0	AC15
A184	DGND	系统地	—
A185	CPSW_RGMII1_TX_CTL	RGMII1_TX_CTL/RMII1_TX_EN/GPIO0_73/	AD19
A186	CPSW_RGMII1_TXC	RGMII1_TXC/RMII1_CRS_DV/GPIO0_74/	AE19
A187	CPSW_RGMII1_TD3	RGMII1_TD3/PR0_UART0_TXD/GPIO0_78/	AD18
A188	CPSW_RGMII1_TD2	RGMII1_TD2/PR0_UART0_RXD/GPIO0_77/	AE18
A189	CPSW_RGMII1_TD1	RGMII1_TD1/RMII1_TXD1/GPIO0_76/	AD20
A190	CPSW_RGMII1_TD0	RGMII1_TD0/RMII1_TXD0/GPIO0_75/	AE20
A191	CPSW_RGMII1_RX_CTL	RGMII1_RX_CTL/RMII1_RX_ER/GPIO0_79/	AE17

A192	CPSW_RGMII1_RXC	RGMII1_RXC/RMII1_REF_CLK/PR0_UART0_CTSn/GPIO0_80/	AD17
A193	CPSW_RGMII1_RD3	RGMII1_RD3/GPIO0_84/	AA15
A194	CPSW_RGMII1_RD2	RGMII1_RD2/PR0_UART0_RTSn/GPIO0_83/	AB16
A195	CPSW_RGMII1_RD1	RGMII1_RD1/RMII1_RXD1/GPIO0_82/	AC17
A196	CPSW_RGMII1_RD0	RGMII1_RD0/RMII1_RXD0/GPIO0_81/	AB17
A197	SOC_RGMII_MDIO	MDIO0_MDIO/GPIO0_85/	AB22
A198	SOC_RGMII_MDC	MDIO0_MDC/GPIO0_86/	AD24
A199	SoC_USB1_DRVVBUS	USB1_DRVVBUS/GPIO1_51/	F18
A200	SoC_USB0_DRVVBUS	USB0_DRVVBUS/GPIO1_50/	C20
A201	SoC_USB1_VBUS	USB1_VBUS	AB10
A202	SoC_USB0_VBUS	USB0_VBUS	AC11

第4章 核心板说明

4.1 硬件设计

4.1.1 DDR4内存

系统采用 16bit 的 DDR4 SDRAM，连接到 AM62XXS 的 DDR 接口，可以兼容 512MB/1GB/2GB 的 DDR4，最大工作 1600Mbps 数据频率。

4.1.2 Flash存储

AM62XXS 存储方案是有 eMMC 存储。

eMMC 是一种标准化接口的嵌入式 Flash 芯片方案，它简化了接口设计，并解决了因 Flash 各厂家间的标准不同而产生的驱动兼容性问题。当使用的是 eMMC 时，连接到的是 G2L 的 MMC0 口，8 位 MMC 数据线宽度，容量为 4GB/8GB/16GB/32GB。

核心板的对外引出来有的 QSPI0 接口，可以底板上扩展 SPI Flash。

4.1.3 电源

AM62XXS 采用电源管理方案，PMIC 选择为 TPS65219，上电 5V 工作的。

4.1.4 以太网

AM62XXS 支持两个千兆网口，两路网口都以 RGMII 形式对外提供，连接到核心板对外接口上，用户可以方便直接使用网口，或者用于其他的 I/O 口。

4.1.5 启动引脚

处理器上电复位后，AM62XX 的 MPU 内部硬件复位逻辑会引导 ARM 内核执行片内 ROM 上的启动代码。之后内部 ROM 的启动代码会读取 MB_BOOT[2:0]配置引脚的电平状态，从而确定以何种方式进行引导。

Boot mode pins can be divided into the following categories:

- **BOOTMODE[02:00]** – Denote system clock frequency (MCU_OSC0_XI/XO) to ROM code for PLL configuration.
- **BOOTMODE[06:03]** – Select the requested boot (primary) mode after POR, that is, the peripheral/memory to boot from.
- **BOOTMODE[09:07]** – These pins provide optional configurations for primary boot and are used in conjunction with the boot mode selected.
- **BOOTMODE[12:10]** – Select the backup boot mode, that is, the peripheral/memory to boot from, if primary boot device failed.
- **BOOTMODE[13]** – This pin provides optional configurations for the backup boot devices.
- **BOOTMODE[15:14]** – Reserved pins.

Table 5-4. Primary Boot Mode Selection

Primary Boot Mode Config							Primary Boot Mode
B9	B8	B7	B6	B5	B4	B3	
Reserved	Read Mode 2	Read Mode 1	0	0	0	0	Serial NAND
Reserved	Iclk	Csel	0	0	0	1	OSPI
Reserved	Iclk	Csel	0	0	1	0	QSPI

Table 5-4. Primary Boot Mode Selection (continued)

Primary Boot Mode Config							Primary Boot Mode
B9	B8	B7	B6	B5	B4	B3	
Reserved	Mode	Csel	0	0	1	1	SPI
Clkout	0	Link Info	0	1	0	0	Ethernet RGMII
Clkout	Clk src	0	0	1	0	1	Ethernet RMII
Bus reset	Reserved	Addr	0	1	1	0	I2C
Reserved	Reserved	Reserved	0	1	1	1	UART
Port	Reserved	Fs/raw	1	0	0	0	MMCSD Boot (SD Card Boot or eMMC Boot using UDA)
Reserved	Reserved	Reserved	1	0	0	1	eMMC Boot
Core Volt	Mode	Lane Swap	1	0	1	0	USB
Reserved	Reserved	Reserved	1	0	1	1	GPMC NAND
Reserved	Reserved	Reserved	1	1	0	0	GPMC NOR
Reserved	Reserved	Reserved	1	1	0	1	Reserved
SFPD	Read Cmd	Mode	1	1	1	0	xSPI
Reserved	ARM/Thumb	No/Dev	1	1	1	1	No-boot/Dev boot

4.2 核心板引脚默认功能

4.2.1 两路LVDS

AM62XXS 系列核心板带有两路 4-lane LVDS 显示串行接口（8 data, 2 clocks）。

引脚号	信号	描述
A148	CH2_LVDSCLK_N	LVDS 2 通道差分时钟信号-
A149	CH2_LVDSCLK_P	LVDS 2 通道差分时钟信号+
A150	CH2_LVDSA3_N	LVDS 2 通道数据 3 差分信号-
A151	CH2_LVDSA3_P	LVDS 2 通道数据 3 差分信号+
A152	CH2_LVDSA2_N	LVDS 2 通道数据 2 差分信号-
A153	CH2_LVDSA2_P	LVDS 2 通道数据 3 差分信号+
A154	CH2_LVDSA1_N	LVDS 2 通道数据 1 差分信号-
A155	CH2_LVDSA1_P	LVDS 2 通道数据 1 差分信号+
A156	CH2_LVDSA0_N	LVDS 2 通道数据 0 差分信号-
A157	CH2_LVDSA0_P	LVDS 2 通道数据 3 差分信号+
A158	CH1_LVDSCLK_N	LVDS 1 通道差分时钟信号-
A159	CH1_LVDSCLK_P	LVDS 1 通道差分时钟信号+
A160	CH1_LVDSA3_N	LVDS 1 通道数据 3 差分信号-
A161	CH1_LVDSA3_P	LVDS 1 通道数据 3 差分信号+
A162	CH1_LVDSA2_N	LVDS 1 通道数据 2 差分信号-
A163	CH1_LVDSA2_P	LVDS 1 通道数据 3 差分信号+
A164	CH1_LVDSA1_N	LVDS 1 通道数据 1 差分信号-
A165	CH1_LVDSA1_P	LVDS 1 通道数据 1 差分信号+
A166	CH1_LVDSA0_N	LVDS 1 通道数据 0 差分信号-
A167	CH1_LVDSA0_P	LVDS 1 通道数据 0 差分信号+

4.2.2 一路RGB接口

引脚号	信号	描述
A20	SoC_VOUT0_PCLK	像素时钟信号
A21	SoC_VOUT0_VSYNC	场同步信号
A22	SoC_VOUT0_HSYNC	行同步信号
A23	SoC_VOUT0_DE	有效显示数据选通信号
A24	SoC_VOUT0_DATA0	RGB 数据 0, 对应 B0
A25	SoC_VOUT0_DATA1	RGB 数据 1, 对应 B1
A26	SoC_VOUT0_DATA2	RGB 数据 2, 对应 B2
A27	SoC_VOUT0_DATA3	RGB 数据 3, 对应 B3
A28	SoC_VOUT0_DATA4	RGB 数据 4, 对应 B4
A29	SoC_VOUT0_DATA5	RGB 数据 5, 对应 B5
A30	SoC_VOUT0_DATA6	RGB 数据 6, 对应 B6
A31	SoC_VOUT0_DATA7	RGB 数据 7, 对应 B7
A32	SoC_VOUT0_DATA8	RGB 数据 8, 对应 G0
A33	SoC_VOUT0_DATA9	RGB 数据 9, 对应 G1
A34	SoC_VOUT0_DATA10	RGB 数据 10, 对应 G2
A35	SoC_VOUT0_DATA11	RGB 数据 11, 对应 G3
A36	SoC_VOUT0_DATA12	RGB 数据 12, 对应 G4
A37	SoC_VOUT0_DATA13	RGB 数据 13, 对应 G5
A38	SoC_VOUT0_DATA14	RGB 数据 14, 对应 G6

A39	SoC_VOUT0_DATA15	RGB 数据 15, 对应 G7
A40	SoC_VOUT0_DATA16	RGB 数据 16, 对应 R0
A41	SoC_VOUT0_DATA17	RGB 数据 17, 对应 R1
A42	SoC_VOUT0_DATA18	RGB 数据 18, 对应 R2
A43	SoC_VOUT0_DATA19	RGB 数据 19, 对应 R3
A44	SoC_VOUT0_DATA20	RGB 数据 20, 对应 R4
A45	SoC_VOUT0_DATA21	RGB 数据 21, 对应 R5
A46	DGND	系统地线
A47	SoC_VOUT0_DATA22	RGB 数据 22, 对应 R6
A48	SoC_VOUT0_DATA23	RGB 数据 23, 对应 R7

4.2.3 两路千兆以太网

引脚号	信号	描述
A2	CPSW_RGMII2_RD0	RGMII2 接收数据引脚 0
A3	CPSW_RGMII2_RD1	RGMII2 接收数据引脚 1
A4	CPSW_RGMII2_RD2	RGMII2 接收数据引脚 2
A5	CPSW_RGMII2_RD3	RGMII2 接收数据引脚 3
A6	CPSW_RGMII2_RXC	RGMII2 接收数据时钟信号
A7	CPSW_RGMII2_RX_CTL	RGMII2 接收数据控制脚
A8	CPSW_RGMII2_TD0	RGMII2 发送数据引脚 0
A9	CPSW_RGMII2_TD1	RGMII2 发送数据引脚 1
A10	CPSW_RGMII2_TD2	RGMII2 发送数据引脚 2

A11	CPSW_RGMII2_TD3	RGMII2 发送数据引脚 3
A12	CPSW_RGMII2_TXC	RGMII2 发送数据时钟信号
A13	CPSW_RGMII2_TX_CTL	RGMII2 发送数据控制引脚
A185	CPSW_RGMII1_TX_CTL	RGMII1 发送数据控制引脚
A186	CPSW_RGMII1_TXC	RGMII1 发送数据时钟信号
A187	CPSW_RGMII1_TD3	RGMII1 发送数据引脚 3
A188	CPSW_RGMII1_TD2	RGMII1 发送数据引脚 2
A189	CPSW_RGMII1_TD1	RGMII1 发送数据引脚 1
A190	CPSW_RGMII1_TD0	RGMII1 发送数据引脚 0
A191	CPSW_RGMII1_RX_CTL	RGMII1 接收数据控制脚
A192	CPSW_RGMII1_RXC	RGMII1 接收数据时钟信号
A193	CPSW_RGMII1_RD3	RGMII1 接收数据引脚 3
A194	CPSW_RGMII1_RD2	RGMII1 接收数据引脚 2
A195	CPSW_RGMII1_RD1	RGMII1 接收数据引脚 1
A196	CPSW_RGMII1_RD0	RGMII1 接收数据引脚 0
A197	SOC_RGMII_MDIO	RGMII 配置接口 I/O
A198	SOC_RGMII_MDC	RGMII 配置接口时钟

第5章 软件参数

核心板软件参数:

Linux 内核	Linux5.10	
文件系统	Yocto	
支持驱动	DDR4	eMMC Flash
	MMC/SD	Audio (McASP)
	LCD RGB/HDMI out	Ethernet
	USB2.0	UART
	PWM	RS485
	USB 4G	I2C
	RTC	Dual LVDS
	SDIO WIFI	MIPI CSI
	KEY	TouchScreen

第6章 订货型号

型号	描述
WTC-AM62XXS-A	AM62XX 核心板 1.4GHZ, 512MB DDR4, 8GB eMMC

以上型号是标准配置，其余的配置可以接受定制，但是有起订量要求，详询销售。

第7章 声明

本文档提供有关产品的信息。本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除在产品的销售条款和条件中声明的责任之外，概不承担任何其它责任。并且，产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。